Ref. No. 2

⑲ 日本国特許庁 (JP)　　⑪ 特許出願公開

⑫ 公開特許公報 (A)　　昭58—205226

⑤Int. Cl.³	識別記号	庁内整理番号
G 06 F 1/00	1 0 3	6913—5B
	1 0 2	6913—5B
1/04		7056—5B
15/06		7343—5B

⑬公開　昭和58年(1983)11月30日

発明の数　1
審査請求　未請求

(全 6 頁)

⑭スタンバイ機能を内蔵したマイクロコンピュータ

⑳特　　願　昭57—88659
㉒出　　願　昭57(1982)5月25日
㉑発 明 者　長江康隆
川崎市中原区上小田中1015番地
富士通株式会社内
㉒発 明 者　中森勉
川崎市中原区上小田中1015番地
富士通株式会社内
㉓発 明 者　北川康弘
川崎市中原区上小田中1015番地
富士通株式会社内
㉑出 願 人　富士通株式会社
川崎市中原区上小田中1015番地
㉔代 理 人　弁理士　森田寛　外1名

明　細　書

1. 発明の名称

スタンバイ機能を内蔵したマイクロコンピュータ

2. 特許請求の範囲

(1) 少なくとも発振回路と、演算処理回路を含んだ処理部とを内蔵したマイクロコンピュータであつて、上記処理部内のプログラムカウンタが次に実行すべき命令のアドレスを保持し、各レジスタが情報を保持した状態で上記処理部の動作を停止するとともに、上記発振回路は動作した状態で処理部に対するクロック信号の供給を停止せしめる第1スタンバイ・モードと、上記処理部の動作を停止せしめるとともに上記発振回路の発振動作をも停止せしめる第2スタンバイ・モードとをプログラム命令によつて発生せしめるスタンバイ制御回路、スタンバイ解除信号を検出し上記第1、第2のスタンバイ・モードに対応して、上記クロック信号の供給の開始または上記発振回路を起動するとともに上記処理部の停止状態を解除するスタンバイ解除回路を有することを特徴とするスタンバイ機能を内蔵したマイクロコンピュータ。

(2) 上記第2のスタンバイ・モードにおいて、上記処理部の停止状態は上記発振回路の起動から所定時間経過後に解除されることを特徴とする特許請求の範囲第(1)項記載のスタンバイ機能を内蔵したマイクロコンピュータ。

3. 発明の詳細な説明

(A) 発明の技術分野

本発明は、スタンバイ機能を内蔵したマイクロコンピュータ、特に第1のスタンバイ・モードと発振回路によるクロック生成機能までも停止せしめて低電力消費状態をつくる第2のスタンバイ・モードとを夫々発生せしめるスタンバイ・コントロール回路をワンチップ上に搭載せしめるようにしたマイクロコンピュータに関するものである。

(B) 技術の背景と問題点

ル・ユニット１２が活性状態になることによつて、図示「クロック・コントロール」信号が発せられ、分周回路２による分周機能が停止せしめられる。

当該第１のスタンバイ・モードを解除する場合に解除入力が与えられると、スタンバイ解除検出回路１３がこの旨を検出し、フラグ１０、１１を夫々リセット状態に制御する。このときフラグ１１は元々リセット状態にあるために何んら影響を受けないが、フラグ１０はリセットされる。このとき発振回路１は発振動作を行つていたことから、デレイフラグ１４は論理「１」を発しつづけていて、アンド回路１８が論理「１」を発し、スタンバイ・コントロール・ユニット１２は不活性状態に戻される。即ち、分周回路２による分周機能は復旧される。

通常の処理モードの下で、スタンバイ２命令にもとづいてフラグ１１がセットされると、フラグ１１の図示出力は論理「１」となる。この結果デレイフラグ１４が論理「０」を発し、アンド回路１８が論理「０」となり、スタンバイ・コントロール・ユニット１２は活性状態に入る。このときフラグ１１の図示出力が論理「１」となつていることから、スタンバイ・コントロール・ユニット１２においては図示「発振コントロール」信号をも合わせて発する形となる。これによつて、発振回路１が停止され、かつ分周回路２が停止される。

当該第２のスタンバイ・モードを解除する場合に解除入力が与えられると、スタンバイ解除検出回路１３がこの旨を検出し、フラグ１０、１１を夫々リセット状態に制御する。このとき、フラグ１１は元々リセット状態にあるために何んらの影響を受けない。フラグ１１がリセットされたとき、フラグ１１の図示出力は論理「０」となる。これによつて、スタンバイ・コントロール・ユニット１２は、図示アンド回路１８が未だ論理「０」のままにあることから、図示「発振コントロール」信号のみを落とす。発振回路１はこれによつて発振動作を再開し、タイマ／カウンタ４が一時的に利用される形で上記発振回路１からの出力を計数する。タイマ／カウンタ４がキヤリ出力を発すると、デレイフラグ１４が論理「１」を発する形となり（フラグ１１の図示出力が既に論理「０」であるため）、アンド回路１８が論理「１」を発して、スタンバイ・コントロール・ユニット１２が不活性化される。即ち、「クロック・コントロール」信号を落して、通常の処理モードに入る。

(4) 発明の効果

以上説明した如く、本発明によれば、第１のスタンバイ・モードと第２のスタンバイ・モードとを夫々命令によつて選択的に発生することができる。そして特に第２のスタンバイ・モードの場合には発振回路１におけるクロック生成機能をも停止し、低消費電力状態をつくり出すことが可能となる。しかし、第２のスタンバイ・モード解除の際に、発振回路の動作が安定するまで待つ必要がある。図示実施例の場合、当該待ちを与えるタイマとして、プログラム・カウンタを利用するようにしており、ワンチップ上に新らたに搭載するものは、実質上、スタンバイ・コントロール回路のみで足りるものとなる。

4. 図面の簡単な説明

第１図は本発明が適用されるワンチップ・マイクロ・コンピュータの構成、第２図は第１のスタンバイ・モードに関する一実施例制御を説明する説明図、第３図は第１のスタンバイ・モード時の一実施例タイム・チャート、第４図は第２のスタンバイ・モードに関連する一実施例制御を説明する説明図、第５図は第２のスタンバイ・モード時の一実施例タイムチャート、第６図はスタンバイ・モードの発生と解除とに関する部分の一実施例要部構成を示す。

図中、１は発振回路、２は分周回路、３は中央処理部、４はタイマ／カウンタ、５はＲＡＭ、６はＲＯＭ、７は入出力回路部、８はスタンバイ・コントロール回路、１０はスタンバイ１フラグ、１１はスタンバイ２フラグ、１２はスタンバイ・コントロール・ユニットを表わしている。

特許出願人　富士通株式会社
代理人弁理士　森田　寛（外１名）

く分周回路2に対してクロック停止信号を発し、分周回路2による分周機能を停止せしめる。なお該第1のスタンバイ・モードにおいては発振回路1は発振状態を続けている。またスタンバイ・モード発生時におけるプログラム・カウンタ（図示せず）の内容（次に実行すべき命令のアドレス）が保存され、かつ他のすべてのレジスタ、フラグ、ステータス、RAMなどはスタンバイ1命令実行時の状態を正しく保持するようにされる。

第1のスタンバイ・モードの解除に当つては、第2図図示④の如く解除入力を受取ると、スタンバイ・コントロール回路8は、上述のスタンバイ1フラグを落し、分周回路2に対するクロック停止信号を落し、次いで上記ホルト状態を解除する。即ち、通常の処理モードに復帰し、上記保存しておいたタイマ／カウンタ4の内容にもとづいて処理を再開する。

第4図は上記第2のスタンバイ・モードに関連する一実施例制御を説明するものであり、図中の符号1ないし9は第2図に対応している。

第5図図示のタイムチャートを合わせ参照するとより明瞭になる如く、命令によつて第2のスタンバイ・モードが指示されると、中央処理部3は図示①の如く指示を発し、スタンバイ・コントロール回路8においてスタンバイ2フラグ（第6図にて後述）がセットされる。これにもとづいて、スタンバイ・コントロール回路8は図示②の如く各処理部に対してホルト信号を発し、これによつて各処理部はホルト状態となる。そしてスタンバイ・コントロール回路8は、図示③の如く分周回路2に対してクロック停止信号を発して分周回路2による分周機能を停止せしめると共に、図示④の如く発振回路1に対して発振停止信号を発して発振回路1によるクロック生成機能を停止せしめる。このとき、スタンバイ・モード発生時におけるプログラム・カウンタの内容（次に実行すべき命令のアドレス）が保存され、かつ他のすべてのレジスタ、フラグ、ステータス、RAMなどはスタンバイ2命令実行時の状態を正しく保持するようにされる。

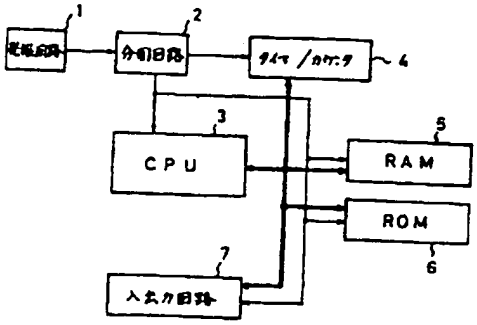
第2のスタンバイ・モードの解除に当つては、第4図図示⑤の如く解除入力を受取ると、スタンバイ・コントロール回路8は、上述のスタンバイ2フラグを落とす。これによつて、スタンバイ・コントロール回路8は、発振回路1に対する発振停止信号を落とす。このとき、発振回路1からの出力はタイマ／カウンタ4に供給され、タイマ／カウンタ4はデレイタイマとして動作し所定の時間遅れをつくる。これは、第2のスタンバイ・モードの下で停止状態となつていた発振回路が発振を開始して安定状態になるまでの時間をかせぐものと考えてよい。タイマ／カウンタ4によるデレイタイマ動作が図示⑥の如くタイム・アップすると、スタンバイ・コントロール回路8は、分周回路2に対するクロック停止信号を落し、次いで上述のホルト状態を解除する。このとき、上記保存しておいたタイマ／カウンタ4の内容が当該カウンタ4にセットされ、処理が再開される。

第6図はスタンバイ・モードの発生と解除とに関する部分の一実施例要部構成を示している。図中の符号1、2、4、8は第2図または第4図に対応しており、更に符号10はスタンバイ1フラグ、11はスタンバイ2フラグ、12はスタンバイ・コントロール・ユニット、13はスタンバイ解除検出回路、14はデレイフラグ、15ないし18は夫々アンド回路を表わしている。

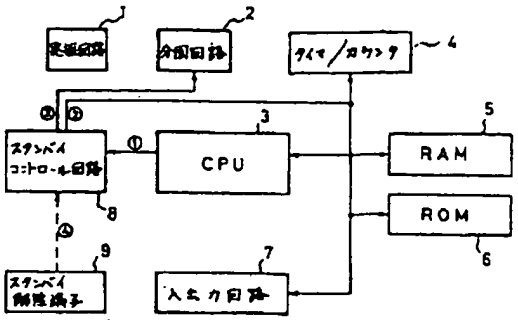
通常の処理モードにおいては、フラグ10の図示出力は論理「1」を発し、フラグ11の図示出力は論理「0」を発し、この結果デレイフラグ14は論理「1」を発しており、アンド回路18は論理「1」となりスタンバイ・コントロール・ユニット12を不活性状態に保つている。

この状態において、スタンバイ1命令にもとづいてフラグ10がセットされると、フラグ10の図示出力は論理「0」となり、スタンバイ・コントロール・ユニット12を活性状態にする。このときフラグ11の図示出力が論理「0」のままにあることから、スタンバイ・コントロール・ユニット12においては図示「発振コントロール」信号を発することはない。スタンバイ・コントロー

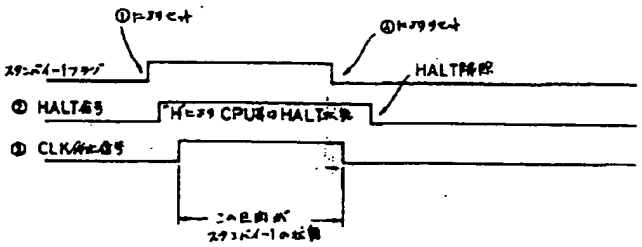
第1図



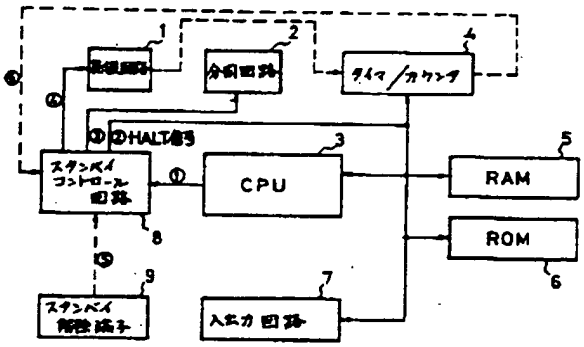
第2図



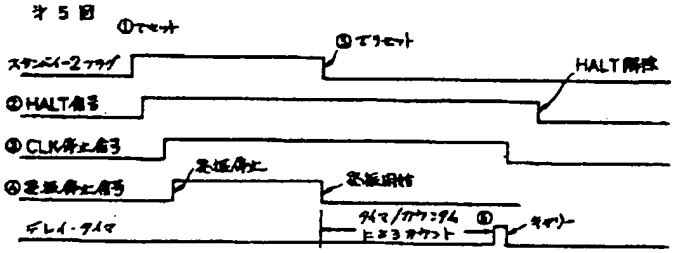
第3図



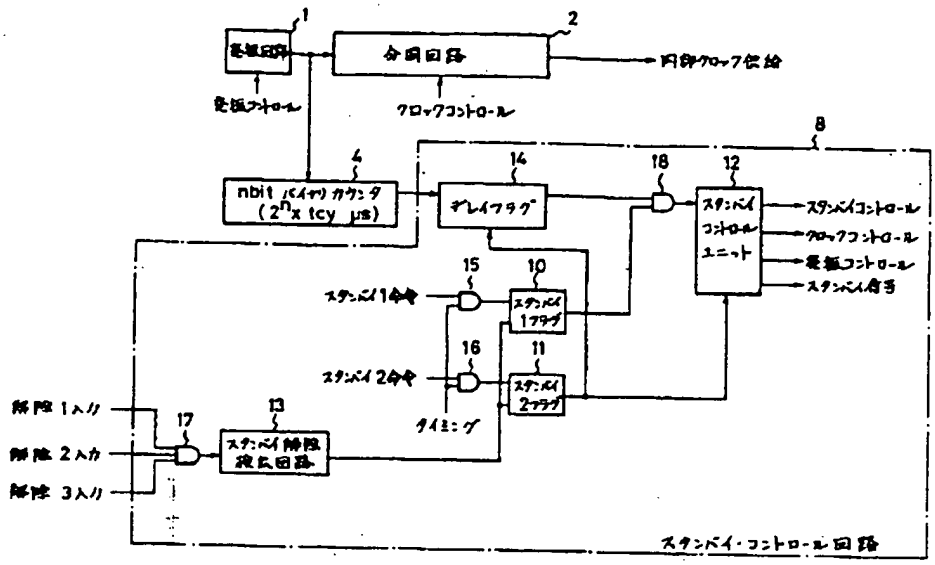
第4図



第5図



第6図


1
2
分周回路
内部クロック供給
クロックコントロール
8
4
nbit バイナリカウンタ
(2^n x tcy μs)
14
ディレイフラグ
18
12
スタンバイ
コントロール
ユニット
スタンバイコントロール
クロックコントロール
発振コントロール
スタンバイ信号
15
10
スタンバイ1命令
スタンバイ
1フラグ
16
11
スタンバイ2命令
スタンバイ
2フラグ
タイミング
解除1入力
解除2入力
解除3入力
17
13
スタンバイ解除
検出回路
スタンバイ・コントロール回路

Japanese Kokai Patent Application No. Sho 58[1983]-205226
[Requested portions only]

Job No.: 1390-88693 Ref: CX112/JP
Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 58[1983]-205226

Int. Cl.[9]:	G 06 F 1/00 1/04 15/06
Sequence Nos. for Office Use:	6913-5B 7056-5B 7343-5B
Filing No.:	Sho 57[1982]-88659
Filing Date:	May 25, 1982
Publication Date:	November 30, 1983
No. of Inventions:	1 (Total of 6 pages)
Examination Request:	Not filed

MICROCOMPUTER WITH INTERNALLY HOUSED STANDBY FUNCTION

Inventors:

Yasutaka Nagae
Fujitsu Ltd.
1015 Kamikodanaka, Nakahara-ku,
Kawasaki-shi

Tsutomu Nakamori
Fujitsu Ltd.
1015 Kamikodanaka, Nakahara-ku,
Kawasaki-shi

Yasuhiro Kitagawa
Fujitsu Ltd.
1015 Kamikodanaka, Nakahara-ku,
Kawasaki-shi

Applicant:

Fujitsu Ltd.
1015 Kamikodanaka, Nakahara-ku,
Kawasaki-shi

Agents: Hiroshi Morita, patent attorney, and 1 other

[There are no amendments to this patent.]

* * *

Detailed explanation of the invention

Technical field of the invention

This invention relates to a microcomputer with an internally housed standby function, and more specifically, to a microcomputer mounted on one chip that is made such that it has a standby control circuit which generates, respectively, a first standby mode, and a second standby mode that produces a low power consumption state which stops even a clock generating function produced by an oscillator circuit.

Prior art and its problems

In a one chip microcomputer, in the past, a standby mode was used that placed it in a state wherein power consumption was less than in the normal operating mode. Also it was designed so that it entered the above-mentioned standby mode when it was not particularly necessary for the microcomputer to perform any tasks.

Purpose and construction of the invention

This invention, as was presented above, divides the standby mode into a first standby mode, and a second standby mode that obtains a particularly low power consumption state. Its purpose is to be able to enter either of these modes by means of a program command, and its purpose is to offer a one-chip microcomputer that internally houses a standby control circuit on the one chip. Also, for that purpose, the microcomputer having an internally housed standby function of this invention is characterized in that it is a microcomputer internally housing at least an oscillator circuit and a processing section containing an oscillator circuit and a calculation processing circuit, and it is characterized in that it has a standby control circuit that generates by means of a program command a first standby mode that stores the address to which the program counter of the above-mentioned processing section is to go to next, and along with halting the operation of the above-mentioned processing command in a state which in which each register has stored the information, halts the supply of a clock signal to the processing section in a state in which the above-mentioned oscillator circuit is in operation, and a second standby mode that, along with halting the operation of the above-mentioned processing section, halts the oscillation operation of the above-mentioned oscillator circuit, and a standby release circuit that detects a

standby release signal corresponding to the above-mentioned first and second standby modes, and along with starting the supply of the above-mentioned clock signal and starting the above-mentioned oscillator circuit, releases the halted state of the above-mentioned processing section.

Application examples of the invention

Figure 1 shows the construction of a one chip microcomputer to which this invention is applied, Figure 2 shows an explanatory diagram explaining one application example of controls related to the first standby mode, Figure 3 shows one application example of a timing chart for the first standby mode, Figure 4 shows an explanatory diagram explaining one application example of controls related to the second standby mode, Figure 5 shows one application example of a timing chart for the second standby mode, and Figure 6 shows one application example of the construction of essential components of a section related to the generation and release of the standby modes.

In Figure 1, (1) is an oscillator that generates a clock, (2) a frequency divider that frequency-divides the output from the above-mentioned oscillator circuit (1), (3) a CPU, (4) a timer/counter constructed so as to assign roles, as will be explained later, (5) a RAM, (6) a ROM, and (7) an input/output circuit section.

In normal operation, the clock that is generated by the oscillator circuit (1) is divided by means of the frequency divider (2). Also, clock signals having the prescribed frequencies are distributed to the CPU (3) and the like. In other words, the microcomputer illustrated in Figure 1 is designed so as to execute processing according to a program stored in, for example, a ROM.

This invention is not limited to a microcomputer having a construction such as is illustrated in Figure 1, but in the following, explanations are given using as an example a microcomputer having the construction illustrated in Figure 1.

In this invention, for example, a standby control circuit is built into a microcomputer having the construction illustrated in Figure 1. Figure 2 explains one application example of the controls related to the above-mentioned first standby mode. In the figures, keys (1 to 7) correspond to Figure 1, (8) shows a standby control circuit, and (9) shows a standby release terminal.

As will become clearer by referring to and following the timing chart illustrated in Figure 3, if the first standby mode is designated by means of a command, the CPU (3), as is illustrated, outputs a command, and the first standby flag (explained later in Figure 6) is set in the standby control circuit (8). Based on this, the standby control circuit (8), as is shown at ②, sends a halt (HALT) signal to each processing section, and by this means each processing section enters a halt state. Then, the standby control circuit (8), as is shown at ③, sends a clock halt

signal to the frequency divider (2), and the frequency division function of the frequency divider (2) is halted. In this first standby mode, the oscillator circuit (1) continues in the oscillating state. Also, the contents (the address of the command to be executed next) of the program count (not illustrated) is stored during standby mode generation, and the state of all of the other registers, flags, statuses, RAMs, and the like are made such that they are correctly stored during execution of the first standby command.

At the time that the first standby mode is to be released, when the standby control circuit (8) receives a release input as is shown at ④ of Figure 2, it clears the above-mentioned standby flag, clears the clock halt signal to the frequency divider (2), and next, releases the above-mentioned halt state. In other words, it returns to the normal processing mode, and processing is restarted based on the above-mentioned stored contents of the timer/counter (4).

Figure 4 explains one application example of controls related to the above-mentioned second standby mode, and the keys (1 to 9) in the figure correspond to those of Figure 2.

As will be more clearly understood by referring to and following the timing chart illustrated in Figure 5, when the second standby mode is designated by means of a command, the CPU (3) sends a command as is shown at ①, and the second standby flag (explained later in Figure 6) is set in the standby control circuit (8). Based on this, the standby control circuit (8) sends a halt signal to each processing section as is shown at ②, and by this means, each processing section enters the halt state. As is shown at ③, the standby control circuit (8) then, along with halting the frequency-dividing function of the frequency divider (2) by sending a clock halt signal to the frequency divider (2), halts the clock generating function of the oscillator circuit (1) by sending an oscillation halt signal to the oscillator (1), as is shown at ④. At this time, during the standby mode, the content of the program counter (the address of the command to be executed next) is stored, and the state of all of the other registers, flags, statuses, RAMs, and the like are made such that they are correctly stored during execution of the second standby command.

At the time that the second standby mode is to be released, as is shown at ⑤ of Figure 4, when the standby control circuit (8) receives a release input it drops the oscillation halt signal to the oscillator circuit (1). At this time, the output from the oscillator circuit (1) is supplied to the timer/counter (4), and the timer/counter (4) operates as a delay timer and provides the prescribed time delay. This can be considered as a device that bides time until the oscillator circuit that has entered the halt state during the second standby mode restarts oscillation and reaches a stable state. When the delay operation time of the timer/counter (4) is up, as is shown at ⑥, the standby control circuit (8) drops the clock halt signal to the frequency divider (2), and next, releases the above-mentioned halt state. At this time, the above-mentioned content of the timer/counter (4) that has been stored is set in the pertinent counter (4), and processing is restarted.

Figure 6 shows one application example of the construction elements for the section related to generation and release of the standby modes. The keys (1, 2, 4, 8) in the figure correspond to those of Figures 2 and 4, and a key (10) shows a first standby 1 flag, (11) shows a second standby flag, (12) shows a standby control unit, (13) shows a standby release detection circuit, (14) shows a delay flag, and (15 to 18) show the respective AND circuits.

In the normal processing mode, the flag (10) outputs a logical "1," the flag (11) outputs a logical "0," as a result of this the delay flag (14) outputs a logical "1," and the AND circuit (18) outputs a "1" and the standby control unit (12) is held in the inactive state.

In this state, when the flag (10) is set based on a first standby command, the illustrated output of the flag (10) becomes a logical "0," and the standby control unit (12) is placed in the active state. At this time, the output of the flag (11) is a logical "0," and there is no output of the "oscillator control" signal at the standby control unit (12). Due to the fact that the standby control unit (12) has entered an active state, the "clock control" signal is output, and the frequency division function of the frequency divider (2) is halted.

When a release input is applied in the case of releasing said first standby mode, the standby release detection circuit (13) detects this instruction, and controls the reset state of flags (10, 11), respectively. At this time, because the flag (11) is in its original reset state, it is not influenced at all, but the flag (10) is reset. At this time, because the oscillator circuit (1) has been performing the oscillation operation, the delay flag (14) continues output of a logical "1," the AND circuit (18) outputs a logical "1," and the standby control unit (12) returns to the inactive state. In other words, frequency division by means of the frequency divider (2) is restored.

Under the normal processing mode, if the flag (11) is set based on a second standby command, the output of the flag (11) becomes a logical "1." As a result of this, the delay flag (14) outputs a logical "0," the AND circuit (18) output becomes a logical "0," and the standby control unit (12) enters the active state. At this time, because the output of the flag (11) becomes a logical "1," in the standby control unit (12) it has an output form that matches the "oscillation control" signal. By this means, the oscillator circuit (1) is halted, and the frequency divider (2) is halted.

When a release input is applied in the case of releasing said second standby mode, the standby release detection circuit (13) detects this instruction and controls the reset condition of the flags (10, 11), respectively. At this time, because the flag (10) is in the original reset state, it is not influenced at all. When the flag (11) is reset, the output of the flag (11) becomes a logical "0." Due to this, the standby control unit (12) drops only the "oscillation control" signal because the AND circuit (18) is already in the logic "0" state. The oscillator circuit (1) therefore restarts the oscillation operation, the timer/counter (4) is in a temporarily controlled state, and the output from the above-mentioned oscillator circuit (1) is counted. When the timer/counter (4) produces

a carry output, the delay flag (14) becomes a logical "1" (because the output of the flag (11) is already a logical "0"), the AND circuit (18) outputs a logical "1," and the standby control unit (12) is made inactive. In other words, the "clock control" signal is dropped, and the normal operating processing mode is entered.

Effects of the invention

As was explained above, according to this invention, a first standby mode and a second standby mode can be selectively generated by means of their respective commands. Also, in the case of the second standby mode in particular, the clock generating function in the oscillator circuit (1) can also be halted, and the creation of a low power consumption state becomes possible. It is necessary, however, to delay until operation of the oscillator circuit is stabilized when the second standby mode is released. In the case of the illustrated application examples, a program counter is used as a timer to effect said delay, and mounting it on one chip essentially becomes feasible only by including a standby control circuit.

Brief description of the figures

Figure 1 shows the construction of a one-chip microcomputer to which this invention is applied, Figure 2 is an explanatory diagram showing one application example of controls related to the first standby mode, Figure 3 shows one application example of a timing chart for the first standby mode, Figure 4 is an explanatory diagram showing one application example of the controls related to the second standby mode, Figure 5 shows one application example of a timing chart for the second standby mode, and Figure 6 shows the construction of essential elements for one application example of a section related to generation and release of the standby mode.

In the figures, (1) shows an oscillator circuit, (2) a frequency divider, (3) a CPU, (4) a timer/counter, (5) a RAM, (6) a ROM, (7) an input/output circuit section, (8) a standby control circuit, (10) a first standby flag, (11) a second standby flag, and (12) a standby control unit.

Figure 1*

Key:
1 Oscillator circuit
2 Frequency divider
4 Timer/counter
7 Input/output circuit

Figure 2

Key:
1 Oscillator circuit
2 Frequency divider
4 Timer/counter
7 Input/output circuit
8 Standby control circuit
9 Standby release terminal

* [Translator's note: In the figures, most of the writing is illegible, but the meanings can be frequently deduced from the text body.]

Figure 3

Key:
1 [Illegible] reset
2 HALT signal
3 CLK halt signal
4 [Illegible] reset
5 HALT release
6 CPU or HALT [Illegible] by H
7 [Illegible]
8 First standby flag

Figure 4

Key:
1 Oscillator circuit
2 Frequency divider
4 Timer/counter
7 Input/output circuit
8 Standby control circuit
9 Standby release terminal
10 HALT [illegible] signal

Figure 5

Key:
1 Reset
2 HALT signal
3 CLK halt signal
4 Oscillator halt signal
5 At reset
6 Second standby flag
7 HALT release
8 Oscillator halt
9 [Illegible]
10 Delay timer
11 Count of the timer/counter
12 Carry

Figure 6

Key:
1 Oscillator circuit
2 Frequency divider
3 Oscillator control

4 nbit binary counter
5 Clock control
6 To [illegible] clock
8 Standby control circuit
10 First standby flag
11 Second standby flag
12 Standby control unit
13 Standby release detection circuit
14 Delay flag
15 First standby command
16 Second standby command
19 Timing
20 Release input 1
21 Release input 2
22 Release input 3
23 Standby control
24 Clock control
25 Oscillator control
26 Standby signal